

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-308043

(43)Date of publication of application : 31.10.2003

(51)Int.Cl.

G09G 3/30

G09G 3/20

H05B 33/14

(21)Application number : 2003-028086

(71)Applicant : ROHM CO LTD

(22)Date of filing : 05.02.2003

(72)Inventor : MAEDE ATSUSHI  
FUJISAWA MASANORI

(30)Priority

Priority number : 2002033937

Priority date : 12.02.2002

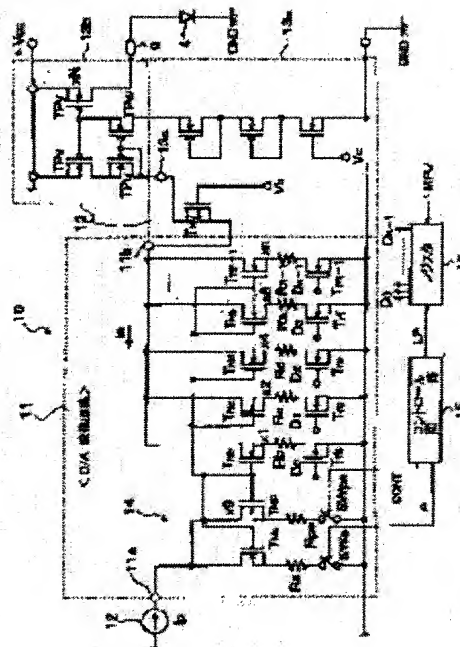
Priority country : JP

## (54) ORGANIC EL DRIVING CIRCUIT AND ORGANIC EL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an organic EL driving circuit and an organic EL display device in which a peak current is easily generated for current driving and the occupancy area of the driving circuit is made small.

SOLUTION: An input side driving current is controlled by a switch circuit in which a plurality of current mirror connected input side transistors is provided in parallel and inserted in series. By shifting one of the switches for a prescribed time and turning ON, a constant current is branched into one of the input side transistors and the driving current of the current mirror input side is reduced. Thus, a large driving current flows at a starting point and then, a lower driving current flows and a current having a peak value is generated for an output side current mirror.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2003-308043  
(P2003-308043A)

(43) 公開日 平成15年10月31日 (2003. 10. 31)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード* (参考)
G 0 9 G 3/30		G 0 9 G 3/30	J 3 K 0 0 7
3/20	6 1 1	3/20	6 1 1 A 5 C 0 8 0
	6 1 2		6 1 2 A
	6 2 3		6 2 3 B
			6 2 3 F

審査請求 有 請求項の数22 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願2003-28086(P2003-28086)  
(22) 出願日 平成15年2月5日 (2003. 2. 5)  
(31) 優先権主張番号 特願2002-33937(P2002-33937)  
(32) 優先日 平成14年2月12日 (2002. 2. 12)  
(33) 優先権主張国 日本 (J P)

(71) 出願人 000116024  
ローム株式会社  
京都府京都市右京区西院溝崎町21番地  
(72) 発明者 前出 淳  
京都市右京区西院溝崎町21番地 ローム株  
式会社内  
(72) 発明者 藤沢 雅憲  
京都市右京区西院溝崎町21番地 ローム株  
式会社内  
(74) 代理人 100079555  
弁理士 梶山 信是 (外1名)

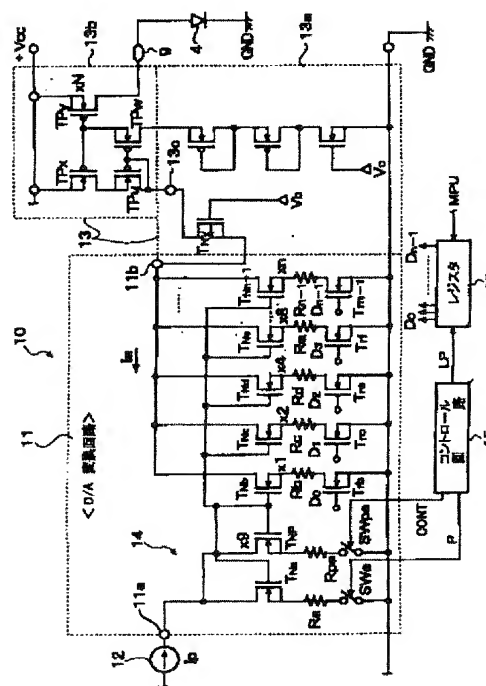
最終頁に続く

(54) 【発明の名称】 有機EL駆動回路および有機EL表示装置

(57) 【要約】

【課題】 電流駆動のためのピーク電流を容易に生成でき、かつ、駆動回路の占有面積を小さくすることができる有機EL駆動回路および有機EL表示装置を提供することにある。

【解決手段】 この発明は、カレントミラー接続の入力側トランジスタを複数並列に設けて直列に挿入したスイッチ回路で入力側の駆動電流を制御する。このとき、スイッチの1つを所定時間ずらせてONさせることで、スタートから一定時間後に定電流を複数の入力側トランジスタの1つに分流するようにしてカレントミラー入力側の駆動電流を低減する。これにより、スタート時点で大きな駆動電流が流れてその後これよりも低い駆動電流が流れ、出力側カレントミラーには、ピークを持つ電流が発生する。



## 【特許請求の範囲】

【請求項 1】人力側トランジスタに所定の電流が供給されて出力側トランジスタに有機 E L パネルの端子ピンに流す電流あるいはその基礎となる電流を得るカレントミラー回路を有する有機 E L 駆動回路において、並列に設けられた複数の前記入力側トランジスタと、これら複数の入力側トランジスタの 1 つを所定の電流で駆動してピーク電流を前記出力側トランジスタに発生させ、前記所定の電流で駆動した前記入力側トランジスタと並列に設けられた他の入力側トランジスタに前記所定の電流を分流することで前記出力側トランジスタの出力電流を前記のピーク電流から定常状態の電流にする制御を行うコントロール回路とを備える有機 E L 駆動回路。

【請求項 2】さらに、前記複数の入力側トランジスタの少なくとも 1 つに直列に挿入されたスイッチ回路と、前記所定の電流を発生する電流源とを備え、前記コントロール回路は、前記入力側トランジスタの 1 つを前記電流源からの電流により駆動し、所定の駆動開始時点から所定時間ずらせて前記スイッチ回路を ON にする請求項 1 記載の有機 E L 駆動回路。

【請求項 3】前記複数の入力側トランジスタは 2 個であり、この 2 個の入力側トランジスタは、動作電流比が 1 : N であって（ただし  $N > 1$ ）、所定時間ずらせて ON にする前記スイッチ回路は、動作電流比が N の側の前記入力側トランジスタに挿入されたものである請求項 2 記載の有機 E L 駆動回路。

【請求項 4】前記スイッチ回路は、前記複数の入力側トランジスタに直列にそれぞれ挿入された複数のスイッチ回路からなり、前記コントロール回路は、前記複数のスイッチ回路の少なくとも 1 つを ON にして前記複数の入力側トランジスタの少なくとも 1 つを前記定電流源からの電流で駆動し、この駆動から所定時間ずらせて残りの前記スイッチ回路の少なくとも 1 つを ON にして前記定電流源からの電流を複数の前記入力側トランジスタの少なくとも 1 つに分流する請求項 2 記載の有機 E L 駆動回路。

【請求項 5】前記複数の入力側トランジスタは 2 個であり、この 2 個の入力側トランジスタは、動作電流比が 1 : N であって（ただし  $N > 1$ ）、所定時間ずらせて ON にする前記スイッチ回路は、動作電流比が N の側の前記入力側トランジスタに挿入されたものである請求項 4 記載の有機 E L 駆動回路。

【請求項 6】前記カレントミラー回路は D/A 変換回路を構成し、前記電流源は定電流源であり、さらに、前記有機 E L パネルの端子ピンに電流を出力するカレントミラー電流出力回路を有し、前記カレントミラー回路は、前記 D/A 変換回路の出力側トランジスタの前記出力電流により前記カレントミラー電流出力回路を駆動する請求項 3 記載の有機 E L 駆動回路。

【請求項 7】前記所定時間は、有機 E L 素子 4 の駆動開

始時点からの時間であり、有機 E L 素子がピーク電流で初期充電される時間に対応している請求項 6 記載の有機 E L 駆動回路。

【請求項 8】前記定電流源は、基準電流を受けて前記端子ピン対応に前記基準電流を分配する回路の前記端子ピンの 1 つに対する出力回路であり、前記スイッチ回路は、前記入力側トランジスタの下流に設けられている請求項 7 記載の有機 E L 駆動回路。

【請求項 9】複数の出力側トランジスタが並列にカレントミラー接続され入力側トランジスタに所定の電流を受けるカレントミラー回路を有し、それぞれの前記出力側トランジスタが人力データのビット桁位置に対応していて前記入力データに応じて選択的に動作して、前記入力データに対応する変換アナログ電流を前記出力側トランジスタに流れる電流の合計値として出力端子に発生する D/A 変換回路を有する有機 E L 駆動回路であって、並列に設けられた複数の前記入力側トランジスタと、これら複数の入力側トランジスタに直列にそれぞれ挿入された複数のスイッチ回路と、

前記複数の入力側トランジスタを所定の電流値の定電流で駆動する電流源と、

前記複数のスイッチ回路の ON/OFF を制御するコントロール回路とを備え、

前記複数のスイッチ回路の少なくとも 1 つを ON にして前記複数の入力側トランジスタの少なくとも 1 つを前記定電流で駆動し、所定の駆動開始時点から所定時間ずらせて残りの前記スイッチ回路の少なくとも 1 つを ON にして前記所定の電流値の定電流を複数の前記入力側トランジスタの少なくとも 1 つに分流することにより前記出力側トランジスタにピークを持つ前記変換アナログ電流を生成することを特徴とする有機 E L 駆動回路。

【請求項 10】前記複数の入力側トランジスタは 2 個であり、この 2 個の入力側トランジスタは、動作電流比が 1 : N であって（ただし  $N > 1$ ）、所定時間ずらせて ON にする前記スイッチ回路は、動作電流比が N の側の前記入力側トランジスタに挿入されたものである請求項 9 記載の有機 E L 駆動回路。

【請求項 11】さらに、前記入力データは表示データであり、前記有機 E L パネルの端子ピンに電流を出力するカレントミラー電流出力回路を有し、1 : N の前記 2 個の入力側トランジスタのうち動作電流の比が 1 に対応する側の入力側トランジスタに挿入されたスイッチ回路が削除されて、このスイッチ回路を介することなく前記所定の電流値の定電流でこのトランジスタが駆動され、前記変換アナログ電流が前記カレントミラー電流出力回路の駆動電流とされる請求項 10 記載の有機 E L 駆動回路。

【請求項 12】入力側トランジスタに所定の電流が供給されて出力側トランジスタに有機 E L パネルの端子ピンに流す電流あるいはその基礎となる電流を得るカレントミラー回路を有する有機 E L 駆動回路において、並列に

設けられた第 1 および第 2 の前記入力側トランジスタと、  
前記第 2 の入力側トランジスタに直列に挿入されたスイッチ回路と、  
前記第 1 の入力側トランジスタを所定の電流値の定電流で駆動する定電流源と、  
前記スイッチ回路の ON/OFF を制御するコントロール回路とを備え、  
前記第 1 の入力側トランジスタを前記定電流で駆動し、  
その後所定時間ずらせて前記スイッチ回路を ON にして  
前記所定の電流値の定電流を前記第 2 の入力側トランジスタに分流することによりカレントミラー入力側トランジスタ 1 個当たりの前記駆動電流を低減して前記出力側トランジスタにピークを持つ電流を生成することを特徴とする有機 EL 駆動回路。

【請求項 13】前記第 1、第 2 入力側トランジスタの動作電流比は、 $1:N$  であって（ただし  $N>1$ ）である請求項 12 記載の有機 EL 駆動回路。

【請求項 14】前記定電流源は、基準電流を受けて前記端子ピン対応に前記基準電流を分配する回路の前記端子ピンの 1 つに対する出力回路であり、前記スイッチ回路は、前記入力側トランジスタの下流に設けられている請求項 13 記載の有機 EL 駆動回路。

【請求項 15】有機 EL 表示パネルと、  
前記有機 EL パネルの端子ピンに電流を出力するカレントミラー電流出力回路と、  
複数の出力側トランジスタが並列にカレントミラー接続され並列に接続された複数の入力側トランジスタに所定の電流を受けるカレントミラー回路を有し、それぞれの前記出力側トランジスタが表示データのビット桁位置に対応して前記表示データに応じて選択的に動作し、前記表示データに対応する変換アナログ電流を前記出力側トランジスタに流れる電流の合計値として発生して前記カレントミラー電流出力回路を駆動する D/A 変換回路と、  
前記複数の入力側トランジスタの 1 つを所定の電流で駆動してピーク電流を前記出力側トランジスタに発生させ、前記所定の電流で駆動した前記入力側トランジスタと並列に設けられた他の入力側トランジスタに前記所定の電流を分流することで前記出力側トランジスタの出力電流を前記のピーク電流から定常状態の電流にする制御を行うコントロール回路とを備える有機 EL 表示装置。

【請求項 16】さらに、前記複数の入力側トランジスタの少なくとも 1 つに直列に挿入されたスイッチ回路と、前記所定の電流を発生する定電流源とを備え、前記コントロール回路は、前記入力側トランジスタの 1 つを前記電流源からの電流により駆動して所定時間ずらせて前記スイッチ回路を ON にする請求項 15 記載の有機 EL 表示装置。

【請求項 17】前記複数の入力側トランジスタは 2 個で

あり、この 2 個の入力側トランジスタは、動作電流比が  $1:N$  であって（ただし  $N>1$ ）、所定時間ずらせて ON にする前記スイッチ回路は、動作電流比が  $N$  の側の前記入力側トランジスタに挿入されたものである請求項 16 記載の有機 EL 表示装置。

【請求項 18】前記スイッチ回路は、前記複数の入力側トランジスタに直列にそれぞれ挿入された複数のスイッチ回路からなり、前記コントロール回路は、前記複数のスイッチ回路の少なくとも 1 つを ON にして前記複数の入力側トランジスタの少なくとも 1 つを前記定電流で駆動し、前記駆動開始から所定時間ずらせて残りの前記スイッチ回路の少なくとも 1 つを ON にして前記所定の電流を複数の前記入力側トランジスタの少なくとも 1 つに分流する請求項 16 記載の有機 EL 表示装置。

【請求項 19】前記カレントミラー電流出力回路の出力は、アクティブマトリックスの表示セルに設けられた電圧記憶用のコンデンサの充電電流を発生させる請求項 15 記載の有機 EL 表示装置。

【請求項 20】前記表示セルは、セル内にカレントミラー回路を有し、このカレントミラー回路の共通に接続されたベースあるいはゲートに前記コンデンサが接続され、このセル内のカレントミラー回路の出力側に有機 EL 素子が接続され、前記セル内のカレントミラー回路の入力側のトランジスタを駆動する第 1 のトランジスタがデータ線と走査線との間に設けられ、前記セル内のカレントミラー回路の入力側のトランジスタと前記第 1 のトランジスタの接続点と前記セル内のカレントミラー回路の共通に接続されたベースあるいはゲートとが第 2 のトランジスタを介して接続されてこの第 2 のトランジスタが ON することで前記コンデンサがリセットされる請求項 19 記載の有機 EL 表示装置。

【請求項 21】前記カレントミラー電流出力回路は、前記データ線から電流をシンクさせる回路である請求項 20 記載の有機 EL 表示装置。

【請求項 22】有機 EL 表示パネルと、  
前記有機 EL パネルの端子ピンに電流を出力するカレントミラー電流出力回路と、  
複数の出力側トランジスタが並列にカレントミラー接続され並列に接続された第 1 および第 2 の入力側トランジスタに所定の電流を受けるカレントミラー回路を有し、それぞれの前記出力側トランジスタが表示データのビット桁位置に対応して前記表示データに応じて選択的に動作し、前記表示データに対応する変換アナログ電流を前記出力側トランジスタに流れる電流の合計値として発生して前記カレントミラー電流出力回路を駆動する D/A 変換回路と、  
前記第 2 の入力側トランジスタに直列に挿入されたスイッチ回路と、  
前記第 1 の入力側トランジスタを所定の電流値の定電流で駆動する定電流源と、

10

20

30

40

50

前記スイッチ回路のON/OFFを制御するコントロール回路とを備え、

前記第1の入力側トランジスタを前記定電流で駆動し、その後所定時間ずらせて前記スイッチ回路をONにして前記所定の電流値の定電流を前記第2の入力側トランジスタに分流することによりカレントミラー入力側トランジスタ1個当たりの前記駆動電流を低減して前記出力側トランジスタにピークを持つ電流を生成することを特徴とする有機EL表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、有機EL駆動回路および有機EL表示装置に関し、詳しくは、カレントミラー回路を利用したD/A変換回路により入力デジタル値に対応する電流値を生成して有機ELパネルの端子ピンに送出する電流を発生するカラムライン（有機EL素子の陽極側ドライバライン、以下同じ）の電流駆動回路において、有機ELパネルを電流駆動するためのピーク電流を容易に生成でき、かつ、駆動回路の占有面積を小さくすることができるような有機EL駆動回路および有機EL表示装置の改良に関する。

【0002】

【従来の技術】有機EL表示装置は、自発光による高輝度表示が可能であることから、小画面での表示に適し、携帯電話機、DVDプレーヤ、PDA（携帯端末装置）等に搭載される次世代表示装置として現在注目されている。この有機EL表示装置には、液晶表示装置のように電圧駆動を行うと、輝度ばらつきが大きくなり、かつ、R（赤）、G（緑）、B（青）に感度差があることから制御が難しくなる問題点がある。そこで、最近では、電流駆動のドライバを用いた有機EL表示装置が提案されている。例えば、特開平10-112391号などでは、電流駆動により輝度ばらつきの問題を解決する技術が記載されている。

【0003】携帯電話機用の有機EL表示装置の有機EL表示パネルでは、カラムラインの数が396個（132×3）の端子ピン（以下ピン）、ローラインが162個のピンを持つものが提案され、カラムライン、ローラインのピンはこれ以上に増加する傾向にある。このような有機EL表示パネルの電流駆動回路の出力段は、アクティブマトリックス型でも単純マトリックス型のものでもピン対応に電流源の駆動回路、例えば、カレントミラー回路による出力回路が設けられている。そのドライブ段は、例えば、特願2002-82662号（特願2001-86967号と特願2001-396219号の国内優先出願）のようにピン対応に多数の出力側トランジスタを有するパラレル駆動のカレントミラー回路（基準電流分配回路）を有して、入力段となる手前の基準電流発生回路から基準電流を受けてピン対応に多数のミラー電流を発生することで基準電流をピン対応に分配

して出力回路を駆動する。あるいはピン対応に分配されたこのミラー電流をさらにk倍（kは2以上の整数）の電流に増幅して出力回路を駆動する。そして、そのk倍電流増幅回路には、ピン対応にD/A変換回路を設けたこの出願人の特願2002-33719号の出願がある。これは、カラム側のピン対応にD/A変換回路が表示データを受けてこの表示データをピン対応にA/D変換してカラム方向の駆動電流を同時に生成する。この場合、容量性負荷となる特性を持つ有機EL素子を初期充電して駆動するためにピーク電流が生成される。このピーク電流生成は、前記のドライブ段の手前で基準電流として生成するものと、前記出願のようにD/A変換回路の後で行うもの、そして電流出力段で行うものとがある。

【0004】まず、電流出力段で行う、有機EL表示パネルのピーク電流生成回路の一般的な例の特開平11-45071号に見ることができるので、それを図5に示す。また、この発明の先行技術として特願2002-33719「D/A変換回路およびこれを用いる有機EL駆動回路」に記載されたD/A変換回路以降にピーク電流生成回路を設けた例を図6に示す。図5から説明すると、4は、有機EL素子であって、5は、有機EL素子4の駆動電流にピークを生成するためのパルスが発生するパルス発生回路である。図5の電流駆動回路は、パルス発生回路5で駆動パルスと同期したパルス6を生成し、このパルス6が駆動回路7の定電流源（カレントミラー出力回路）7aの負荷抵抗に並列に設けられた初期充電回路7bのスイッチング素子8に加えられる。これによりスイッチング素子8がONして、駆動パルスを受けて同時にONになっているスイッチトランジスタ7cを介して有機EL素子4に大きな電流が流れてこの電流で有機EL素子4が駆動される。その結果、スイッチング素子8のON抵抗と有機EL素子4の接合容量とで決定された一定期間だけ有機EL素子4にこれの駆動開始時点で大きな電流が流れる。これにより駆動初期に有機EL素子4は、充電されてその立上がり急峻となり、有機EL素子4の輝度が向上し、輝度むらなどが防止される。

【0005】図6において、1は、有機EL駆動回路のカラムドライバであって、2は、そのD/A変換回路、3は、そのカレントミラー電流出力回路である。カレントミラー電流出力回路3は、ドライブ段カレントミラー回路3aと出力段カレントミラー回路3bとからなる。カレントミラー回路3aは、ピーク電流生成回路であって、ダイオード接続されたpnp型の入力側トランジスタQsと出力側トランジスタQtとからなり、それぞれのエミッタ側がPチャネルMOSFETトランジスタTrs、NチャネルMOSFETトランジスタTrtを介して出力段カレントミラー回路3bの入力端子3cに接続されている。入力側トランジスタQsのコレクタは、D/A

10

20

30

40

50

A変換回路2の出力端子2bに接続され、出力側トランジスタQtのコレクタは、グランドGNDに接続されている。トランジスタQsとトランジスタQtのエミッタ面積比は1:xである。ここで、D/A変換回路2の出力電流をIaとすると、これに対して入力端子3cに $(x+1)$ Iaの駆動電流を発生することができる。そこで、カレントミラー回路3aは、トランジスタTrtがONしているときには、 $(1+x)$ 倍の駆動電流を生成する。トランジスタTrsは、トランジスタTrtに対応して設けられた負荷トランジスタであって、そのゲートはグランドGNDに接続されていて、駆動ラインをバランスさせるために挿入されている。なお、トランジスタTrtは、駆動初期の一定期間だけコントロール信号CONTを受けてONになる。

【0006】このカレントミラー回路3aは、出力段カレントミラー回路3bのpnp型の入力側トランジスタQxをベース電流補正駆動用のpnp型のカレントミラートランジスタQu、Qwを介して駆動する。その結果、入力側トランジスタQxには、トランジスタTrtがONしてピーク駆動を行う一定期間の間は $(1+x)$ Iaの電流が流れる。その後に通常駆動電流として駆動電流Iaが出力される。これらの電流が出力段カレントミラー回路3bのpnp型の出力側トランジスタQyでさらにN倍に電流増幅されて、有機ELパネルのピン9に出力される。なお、出力段カレントミラー回路3bのトランジスタQxとトランジスタQyのエミッタ面積比は1:Nであり、これらトランジスタのエミッタは、電源ライン+VDDではなく、これより高い電圧、例えば、+15V乃至+20V程度の電源ライン+Vccに接続され、出力側トランジスタQyのコレクタは、カラム側のピン9に接続されている。そこで、ピーク電流で駆動する時には $N \times (1+x)$ Iaの駆動電流をピン9に出力することができる。これにより容量性負荷となる特性を持つ有機EL素子4がピーク電流で初期充電されて電流駆動される。

【0007】D/A変換回路2は、ダイオード接続の入力側npn型バイポーラトランジスタQaを有し、定電流源14aからの電流Iを入力端子2aを介してこのトランジスタのコレクタに受ける。さらにD/A変換回路2には、このトランジスタにカレントミラー接続された出力側npn型バイポーラトランジスタQb~Qn-1と、各出力側トランジスタQb~Qn-1のエミッタとグランドGND間にスイッチ回路として接続されたNチャネルMOSFETトランジスタTrb~Trn-1とが設けられている。そして、トランジスタTrb~Trn-1のゲートがそれぞれ各入力端子D0~Dn-1に接続されている。出力側トランジスタQb~Qn-1は、それぞれのコレクタが出力端子2bに接続され、トランジスタQaのエミッタ面積に対してそれぞれのトランジスタが $\times 1, \times 2, \times 4, \dots \times n$ の倍数の各桁の重みに対応するエミッタ面積比を持

っている。なお、入力側トランジスタQaのエミッタは、抵抗RaとNチャネル型のMOSFETトランジスタTraの直列回路を介してグランドGNDに接続され、トランジスタTraのゲートは電源ライン+VDDに接続されている。このD/A変換回路2は、CPU、MPU等のプロセッサからそのときどきの表示輝度に応じたデジタル値の表示データを入力端子D0~Dn-1に受けて出力端子2bに入力データ(表示データ)に応じたアナログの電流値を発生する。なお、この図では、ドライブ段のそれぞれの1ピン分の、基準電流分配回路の出力回路を簡略化して定電流源14aとして示してある。また、トランジスタTrrとトランジスタQrは、カレントミラー接続の共通ベースラインへベース電流を供給するベース電流供給回路であり、トランジスタQrのエミッタは、抵抗RrとNチャネル型のMOSFETトランジスタTraの直列回路を介してグランドGNDに接続され、トランジスタTrraのゲートは電源ライン+VDDに接続されている。

【0008】

【発明が解決しようとする課題】近年、駆動ピン数は高解像度の要請により増加する傾向にある。前記のピーク電流生成回路とD/A変換回路は、有機EL素子を電流駆動する各ピン対応に設けられる回路であるので、集積回路規模は大きくなる一方である。そのためこれら回路をいかに小さくするかが、消費電力の低減と駆動ピン数の増加にともなう占有面積の低減に貢献する。この発明の目的は、このような要請に応えるものであって、電流駆動のためのピーク電流を容易に生成でき、かつ、駆動回路の占有面積を小さくすることができる有機EL駆動回路および有機EL表示装置を提供することにある。

【0009】

【課題を解決するための手段】このような目的を達成するためのこの発明の有機EL駆動回路および有機EL表示装置の特徴は、入力側トランジスタに所定の電流が供給されて出力側トランジスタに有機ELパネルの端子ピンに流す電流あるいはその基礎となる電流を得るカレントミラー回路を有する有機EL駆動回路において、並列に設けられた複数の前記入力側トランジスタと、これら複数の入力側トランジスタの1つを所定の電流で駆動してピーク電流を前記出力側トランジスタに発生させ、前記所定の電流で駆動した前記入力側トランジスタと並列に設けられた他の入力側トランジスタに前記所定の電流を分流することでカレントミラー入力側トランジスタの1つについてその駆動電流を低減して前記出力側トランジスタの出力電流を前記のピーク電流から定常状態の電流にする制御を行うコントロール回路とを備えるものである。

【0010】また、他の発明は、前記カレントミラー回路の出力側トランジスタが複数設けられてD/A変換回路を構成し、それぞれの出力側トランジスタがD/A変

換するための入力データのビット桁位置対応して、入力データに応じて選択的に出力側トランジスタが動作することで、入力データに対応する変換アナログ電流を前記の出力側トランジスタに流れる電流の合計値として出力端子に発生する D/A 変換回路を有する有機 EL 駆動回路であって、前記と同様にカレントミラー回路の複数の入力側トランジスタの少なくとも 1 つに直列にスイッチ回路を設け、さらに前記所定の電流を発生する定電流源を設ける。そして、この有機 EL 駆動回路は、この定電流源の電流を入力側トランジスタの 1 つに流してこれを駆動し、駆動開始から所定時間ずらせてスイッチ回路を ON にして前記定電流源からの電流をスイッチ回路を介して他の入力側トランジスタに分流することによりピークを持つ変換アナログ電流を生成するものである。また、さらに他の発明は、前記の他の発明の有機 EL 駆動回路において、前記のカレントミラー回路の複数の入力側トランジスタの動作電流比を 1 : N (ただし  $N > 1$ ) とした 2 個の入力側トランジスタとして、そのうち動作電流比が 1 に対応する側の入力側トランジスタに定電流源からの電流を流し、動作電流比が N に対応する側の入力側トランジスタに前記のスイッチ回路を ON にして定電流源からの電流を分流するものである。

#### 【0011】

【発明の実施の形態】このように、この発明にあっては、カレントミラー接続の入力側トランジスタを複数並列に設けて、そのうちの 1 つに直列に挿入したスイッチ回路で入力側の駆動電流を制御する。このとき、この発明は、最初に駆動した入力側トランジスタにより出力側トランジスタにピーク電流に相当する電流を発生させ、所定の駆動開始時点から、あるいは出力側トランジスタの電流発生時点から、あるいは有機 EL の駆動開始時点から所定時間ずらせてスイッチ回路を ON させることで、複数の入力側トランジスタの 1 つに分流するようにしてカレントミラー入力側トランジスタ 1 個当たりの駆動電流を低減する。これにより、スタート時点で大きな駆動電流が流れてピーク電流に相当する電流をカレントミラー回路の出力側トランジスタに得て、所定時間後にこれよりも少ない駆動電流が流れて定常電流となり、結果として出力側トランジスタには、ピークを持つ電流を生成する。この場合、従来のように出力段回路に抵抗を挿入したり、その両端をショートするスイッチ回路（図 5 に示すスイッチング素子 8 に相当）は不要となり、また、ピークを発生するために専用に設けられるピーク電流加算のための駆動電流源（図 6 のドライブ段カレントミラー回路 3 a に相当）も不要になり、回路構成が簡単になる。その結果、有機 EL 素子を初期駆動するためのピーク電流を持つ駆動電流を容易に生成でき、かつ、駆動回路の占有面積を小さくすることができる。

#### 【0012】

【実施例】図 1 は、この発明の有機 EL 駆動回路を適用

した一実施例の電流駆動回路のブロック図であり、図 2 は、その駆動制御におけるタイミングパルスの説明図、図 3 は、この発明の電流駆動回路をアクティブマトリックス型の有機 EL 表示パネルを駆動する電流駆動回路に適用した場合の実施例の説明図であって、(a) は、その全体的な回路構成のブロック図、(b) は、その電流駆動回路の出力段を中心とするブロック図、そして、図 4 は、図 1 の実施例の具体的な回路構成例の説明図である。なお、各図においては、同一の構成要素は同一の符号を付し、それらの説明を割愛する。図 1 において、10 は、有機 EL 駆動回路のカラムドライバであって、11 は、その D/A 変換回路、12 は、基準電流分配回路の 1 ピン分の出力回路を簡略化した、図 6 の定電流源 14 a に対応する定電流源、13 は、カレントミラー電流出力回路、14 は、ピーク電流生成回路、そして 15 は、コントロール回路である。D/A 変換回路 11 は、図 6 の D/A 変換回路 2 に対応しているが、バイポーラトランジスタではなく、MOSFET トランジスタで構成されている。N チャンネルの入力側トランジスタ TNa が D/A 変換回路 2 の入力側トランジスタ Qa に対応し、N チャンネルの出力側トランジスタ TNb ~ Tnn-1 が出力側トランジスタ Qb ~ Qn-1 に対応し、これらトランジスタは、カレントミラー回路を構成している。この D/A 変換回路 11 は、さらに入力側トランジスタ TNa に並列に接続されたカレントミラーの N チャンネルの入力側トランジスタ TNp を有している。そして、トランジスタ TNa とトランジスタ TNp は、チャンネル幅（ゲート幅）の比が 1 : 9 に設定されていて、それぞれのソースはそれぞれ抵抗 Ra, Rpa, スwitch回路 SWa, SWpa を介してグラウンド GND に接続されている。なお、前記のチャンネル幅（ゲート幅）の比 1 : 9 は、同一形状の MOS 1 個に対してペア性のよい MOS トランジスタ 9 個をパラレルに接続して構成してもよい。

【0013】2 個の入力側トランジスタ TNa と入力側トランジスタ TNp とは、定電流源 12 から電流 Ip を入力端子 11 a を介してそれぞれのドレインに受ける。定電流源 12 は、図 6 の定電流源 14 a と異なり、その電流値が電流 I より大きい電流 Ip に変更されている。入力側トランジスタ TNa にこの電流 Ip が動作電流として流れたときには、D/A 変換回路 11 の出力端子 11 b にピーク電流 Ia = Ipa を発生する電流値に設定されている。なお、抵抗 Rb ~ Rn-1 は、出力側トランジスタ TNb ~ Tnn-1 のソースとトランジスタ Trb ~ Trn-1 のドレインとの間に挿入された抵抗である。これによりソースドレイン間の寄生容量との関係で所定の時定数を確保できるが、これらの抵抗は必ず必要なものではない。また、図 6 のトランジスタ Trr とトランジスタ Qrr に相当するベース電流供給回路はここでは削除してある。カレントミラー電流出力回路 13 は、図 6 のカレントミラー電流出力回路 3 に対応する回路であるが、これもバイポ

ーラトランジスタではなく、MOSFETトランジスタで構成され、駆動レベルシフト回路13aと出力段カレントミラー回路13bとからなる。ここには、図6のカレントミラー回路3aに相当するピーク電流生成回路はない。

【0014】駆動レベルシフト回路13aは、D/A変換回路11の出力を出力段カレントミラー回路13bに伝達するための回路であって、NチャネルのMOSFETトランジスタTNvからなる。そのゲートはバイアスラインVbに接続され、ソース側がD/A変換回路11の出力端子11bに接続されている。そしてドレイン側が出力段カレントミラー回路13bの入力端子13cに接続されている。これによりD/A変換回路11の出力電流をIaとすると、これに対して入力端子13cにIaの駆動電流を発生することができる。

【0015】出力段カレントミラー回路13bは、図6のベース電流補正駆動用のカレントミラーのトランジスタQu、Qwに対応するPチャネルMOSFETトランジスタTPu、TPwと、図6のカレントミラーのトランジスタQx、Qyに対応するPチャネルMOSFETトランジスタTPx、TPyとを有している。出力段カレントミラー回路13bのトランジスタTPxとトランジスタTPyのチャネル幅（ゲート幅）比は1:N（ただしN>1）であり、これらトランジスタのソースは、電源ライン+VDDではなく、これより高い電圧、例えば、+15V程度の電源ライン+Vccに接続されている。出力側トランジスタTPyの出力は、カラム側のピン9に接続され、駆動時にはN×Iaの駆動電流をピン9に流して有機ELパネルを電流駆動する。このピン9とグランドGNDとの間には、有機EL素子4が接続されている。なお、図中のVcはバイアスラインである。

【0016】ここで、入力側トランジスタTNpと抵抗Rpa、スイッチ回路SWpaとは、ピーク電流生成回路14を構成している。スイッチ回路SWaは、駆動パルス信号Pに応じてONにされ、スイッチ回路SWpaは、駆動パルス信号Pが発生した駆動初期の一定期間tpだけコントロール信号CONTを受けけることなく、OFFにされ、一定期間後にCONTを受けてONになる。そのピーク電流発生動作を図2に従って説明すると、まず、MPU等から送出されたD0～Dn-1の各入力端子に入力するデータがレジスタ16にラッチパルスLp（図2（a）参照）に応じてセットされると、レジスタ16を介してD0～Dn-1の各入力端子にそのデータが設定される。コントロール回路15は、レジスタ16にラッチパルスLpを送出後に、駆動パルス信号P（図2（c）参照）を発生してスイッチ回路SWaをONにする。このとき、スイッチ回路SWpaがコントロール信号CONTを受けていないので、入力側トランジスタTNaに電流Ipが流れて、D/A変換回路11は、D0～Dn-1の各入力端子に設定されたデータに対応する倍数mに従って電流値m×Ip

を生成してその出力端子11bにピーク電流Ia=m×Ipを発生する。そして、ピーク電流発生期間tpだけずれてコントロール信号CONT（図2（b）参照）が発生してスイッチ回路SWpaがONになると、入力側トランジスタTNaに流れる電流が入力側トランジスタTNpに分流されて、これらトランジスタのチャネル幅比1:9に従って入力側トランジスタTNaにIp/10が流れ、入力側トランジスタTNpに9×Ip/10の電流が流れる。入力側トランジスタTNaと入力側トランジスタTNpとは、パラレルに接続されていて、かつ、チャネル幅比が1:9になっているので、入力側トランジスタTNpに9×Ip/10の電流が流れても、これによる出力側のトランジスタの電流増幅能力は1/9になる。したがって、各出力側にトランジスタに対しては入力側トランジスタ側の駆動電流がIp/10になったのと同じである。

【0017】すなわち、入力側トランジスタTNaと入力側トランジスタTNpとはパラレル駆動であるので、このとき出力側に発生するミラー電流は、入力側の駆動電流がIp/10となったときと同じであり、電流値Iaは、Ia=m×Ip/10となる。これが通常時の入力側トランジスタの駆動電流となって、駆動パルス信号PがHIGHレベル（以下“H”）になっている残りの期間（T-tp）の間、Ip/10の電流が流れる。駆動パルス信号Pとコントロール信号CONTとはコントロール信号CONTの立上がりから（T-tp）期間後にLOWレベル（以下“L”）に落ちて、スイッチ回路SWa、SWpaがOFFとなり、入力側トランジスタTNaと入力側トランジスタTNpの駆動電流は停止する。このように、ピーク電流生成回路14は、入力側トランジスタTNaを駆動してピーク電流をカレントミラー回路の出力側トランジスタに得て、この入力側トランジスタTNaの駆動電流をこれと並列に設けられた他の入力側トランジスタTNpに分流することで、カレントミラー入力側トランジスタ1個当たりの駆動電流を低減して出力側トランジスタの出力電流を低減して出力電流をピーク電流から定常状態の電流に落とす動作をする。そして、入力側トランジスタTNaの駆動開始時点は、有機EL素子4の駆動開始時点に対応している。出力段カレントミラー回路13bの入力側トランジスタTPxにはスイッチ回路SWpaがOFFしている期間、すなわちピーク電流を発生させる一定期間tpにはIa=m×Ipとして定常駆動時の10倍の電流が流れる。そして、その後に定常駆動電流として駆動電流Ia=Ip/10が出力される。それらが出力段カレントミラー回路13bでN倍に電流増幅されて、有機ELパネルのピン9に出力される。なお、ピーク電流の期間tpは、容量性負荷となる特性を持つ有機EL素子4がピーク電流で初期充電されればよいので、必ずしも駆動パルス信号Pの立上がりとは一致していなくてもよい。

【0018】ところで、有機EL表示装置では、カラム

側が電流吐出し側となり、ロー側が電流吸い込み側（シンク側）となって、ロー側の走査に応じてカラム側の電流駆動回路から電流が出力される。したがって、図1、図6の有機EL素子4は、ピン9とグランドGNDとの間に接続されているが、実際には、有機EL素子4は、ローライン走査回路を介してグランドGNDに接続される。ローライン走査回路によるロー側の走査は、走査対象となるローラインに“L”の出力を発生して有機EL素子4の陰極をグランドGNDに落とす。この陰極がグランドGNDに落ちたときに有機EL素子4に駆動電流が流れ、あるローライン走査が終了して次のローライン走査へ移る走査の切替わり期間ではカラム側の駆動電流をOFFさせる“H”の期間がある。このようなロー側の走査においては、駆動電流を出力するための駆動パルス信号Pは不要である。これに換わってあるローラインの走査開始がカラムドライバ10のピン9に対する電流駆動の開始点となり、そのローラインの走査の終了が駆動電流の終了点になる。したがって、前記の駆動パルス信号Pに相当する駆動動作はロー側の走査で行われる。そのため、実際の回路では、スイッチ回路SWaは不要になる。後述する図4の実施例はこのためにスイッチ回路SWaは削除されている。

【0019】図3は、アクティブマトリックス型の有機EL表示パネルを駆動する場合の実施例である。図3

(a)において、有機EL駆動回路のカラムドライバ100は、図1のカラムドライバ10の出力段カレントミラー回路を電流シンク型の回路としたものであり、その構成の一例を図3(b)に示す。カラムドライバ100のカラムピン対応に設けられた出力段カレントミラー回路101(図3(b)参照)が接続されるピン9は、アクティブマトリックス型のX、Yのマトリクス配線

(データ線、走査線)うちデータ線(Xi電極、 $i=1\sim n$ 、ただし、データ線はn本とする。)に接続されている。図に示すように、X、Yのマトリクス配線(データ線Xi、走査線Yj1、Yj2)を接続する交点に対応して表示セル20(その座標(Xi、Yj))が設けられている。このセル20内には交点にソース側とゲートが接続されたNチャネルMOSトランジスタTr1が配置されていて、PチャネルMOSトランジスタTr2を介して有機EL素子21が駆動される。トランジスタTr2のソースーゲート間にはコンデンサCが接続され、トランジスタTr2のソースは電源ライン+Vccに接続され、そのドレインは有機EL素子21を介してグランドGNDに接続されている。

【0020】トランジスタTr1とトランジスタTr2との間にはPチャネルMOSトランジスタTr3とNチャネルMOSトランジスタTr4が設けられている。トランジスタTr3は、トランジスタTr2とカレントミラー回路22を構成する入力側トランジスタとなっていて、これの下流にトランジスタTr1のドレインが接続され、トランジ

スタTr3とトランジスタTr1の接続点とカレントミラー回路22の共通に接続されたゲート(トランジスタTr2のゲート)との間にトランジスタTr4のソースとドレインが接続されている。トランジスタTr1のゲートは、走査線Yj1に接続され、トランジスタTr4のゲートが走査線Yj2に接続されている。走査線Yj1が“H”、Yj2が“H”の信号を受けて走査されることでトランジスタTr1とトランジスタTr4とがONとなり、前記のピーク電流でトランジスタTr3、Tr2が駆動されるとともにコンデンサCが充電されて、所定の駆動電圧がコンデンサCに保持される。これによりコンデンサCに電流値を電圧として書き込んで駆動電流値を記憶し、記憶されたコンデンサCの電圧に応じてMOSトランジスタTr2が駆動される。この場合にコンデンサCに書込まれた電荷は、走査線Yj1が“L”、Yj2が“H”の信号を受けて走査線Yj2のみが走査されてトランジスタTr4がONすることで、トランジスタTr4とトランジスタTr3のボディダイオードを介して放電され、コンデンサCの電圧がリセットされる。なお、走査線Yj1と走査線Yj2とはそれぞれコントロール回路15から異なるタイミング信号T1、T2を駆動回路17が受けて走査される。

【0021】図3(b)は、その電流駆動回路18の出力段を中心とするブロック図であり、定電流源12とD/A11とは、図1に示す回路である。図3(b)では、図1の出力段カレントミラー回路13bのPチャネルMOSFETトランジスタTPx、TPyに換えてNチャネルMOSFETトランジスタTNx、TNyのカレントミラー回路18aを出力段カレントミラー回路13bのトランジスタTPu、TPwの下流に設けている。これによりピン9に対してシンクする駆動電流を発生することができる。トランジスタTNx、TNyのソースは、グランドGNDに接続され、トランジスタTNxのドレインは、トランジスタTNvを介してトランジスタTPwのドレインに接続され、トランジスタTNyのドレインは、ピン9に接続されている。トランジスタTNx、TNyのチャネル幅比は、図1の場合とは逆にN:1となっている。Nは、10程度である。図1の場合と同様にトランジスタTNvは、レベル調整用のトランジスタである。ここでは、トランジスタTPu、TPwのカレントミラー回路は、各トランジスタのソース側が電源ライン+Vccに直接接続され、D/A11のシンクする駆動電流を電源ライン+Vccで折り返して吐き出し電流に変換する回路になる。この吐き出し駆動電流によりトランジスタTNxが駆動され、トランジスタTNx、TNyにシンクする駆動電流が生成される。なお、この電流駆動回路18では、有機EL素子21の陰極は、データ線Xiを介して前記したローライン走査回路19に接続され、この回路を介してグランドGNDに接続されている。このようなアクティブマトリックス型の有機EL表示パネルの電流駆動は、駆動デューティ比に対して立ち上がり時間が無視できないと

きに有効である。すなわち、駆動データライン数が多数でかつ少ない駆動電流で駆動するとき、例えば、データ線数が多いSGA、XGAなどの大型、高精細度の画質の駆動に有効である。

【0022】図4は、図1の実施例の具体的な回路構成例である。入力側トランジスタTNaと出力側トランジスタTNb～TNn-1とが電源ラインとグランドGND間に従属接続で2段積み上げられたカレントミラー回路となっていて、スイッチ回路SWpaは、MOSFETトランジスタTN2で構成されている。出力段カレントミラー回路13bの入力側トランジスタTPx、出力側トランジスタTPyの上にもカレントミラー回路が1段積み上げられている。すなわち、出力段カレントミラー回路13bは、トランジスタTPu、TPwが2段の縦方向に従属接続して積上げたPチャネルMOSFETトランジスタTPu1、TPw1とPチャネルMOSFETトランジスタTPu2、TPw2のカレントミラー回路となっている。さらに、トランジスタTPx、TPyが同様に2段の縦方向に従属接続して積上げたPチャネルMOSFETトランジスタTPx1、TPy1とPチャネルMOSFETトランジスタTPx2、TPy2のカレントミラー回路となっている。さらに、入力側トランジスタTNaと出力側トランジスタTNb～TNn-1とが縦方向に従属接続されて2段積み上げられている。そのそれぞれを添え字1、2を付けて示してある。図4では、スイッチ回路SWaに対応するMOSFETトランジスタTN1は、スイッチ回路ではなく、単にゲートがグランドGNDに接続されて抵抗となっていて、スイッチ回路SWaは削除されている。その結果、常時定電流源12から電流値Ipが流されている。これは、先に説明したように駆動パルスPに換わってロー側の走査回路が前記の駆動パルス信号Pに相当する駆動動作をするからである。ところで、図4では、図1の場合と異なり、トランジスタTrb～Trn-1は、PチャネルMOSトランジスタとなっている。このようにトランジスタTrb～Trn-1をPチャネルMOSとすることによりトランジスタTrb～Trn-1の出力インピーダンスが低くなり、D/A変換回路に表示データを設定する時に発生するスイッチングノイズを低減する効果がある。

【0023】以上説明してきたが、実施例では、ピーク電流を発生する回路としてカレントミラー回路で構成される電流スイッチングD/A変換回路を中心に説明しているが、この発明は、このようなD/A変換回路のカレントミラー回路に限定されるものではない。有機ELパネルの端子ピンに流す電流あるいはその基礎となる電流を得るカレントミラー回路であれば、電流駆動回路のどこに配置されているものであってもよい。また、実施例のカレントミラー回路は、MOSFETトランジスタを主体としているが、図6と図1の回路構成をみて分かるようにMOSトランジスタの位置にバイポーラトランジスタを置くことが設計上で容易にできるので、バイポー

ラトランジスタを主体としてこれを構成してもよい。さらに、実施例のNチャネル型（あるいはnpn型トランジスタ）はPチャネル型（あるいはpnp型）トランジスタに、Pチャネル型（あるいはpnp型）トランジスタはNチャネル（あるいはnpn型）トランジスタに置き換えることができる。後者の場合は、通常、電源電圧は負となり、上流に設けたトランジスタは下流に設ける。

#### 【0024】

【発明の効果】以上説明してきたように、この発明にあっては、カレントミラー接続の入力側トランジスタを複数並列に設けて直列に挿入したスイッチ回路で入力側の駆動電流を制御する。このとき、スイッチの1つを所定時間ずらせてONさせることで、スタートから一定時間後に定電流を複数の入力側トランジスタの1つに分流するようにしてカレントミラー入力側の駆動電流を低減する。これにより、スタート時点で大きな駆動電流が流れてその後にこれよりも低い駆動電流が流れ、出力側カレントミラーには、ピークを持つ電流が発生する。その結果、従来のように抵抗を挿入したり、その両端をショートするスイッチ回路は不要となり、また、ピークを発生するために専用で設けられるピーク電流値追加のための駆動電流源も不要になる。これにより、有機EL素子を初期駆動するためのピーク電流を持つ駆動電流を容易に生成でき、かつ、駆動回路の占有面積を小さくすることができる。

#### 【図面の簡単な説明】

【図1】図1は、この発明の有機EL駆動回路を適用した一実施例の電流駆動回路のブロック図である。

【図2】図2は、その駆動制御のタイミングパルスの説明図である。

【図3】図3は、この発明の電流駆動回路をアクティブマトリックス型の有機EL表示パネルを駆動する電流駆動回路に適用した場合の実施例の説明図であって、

(a)は、その全体的な回路構成のブロック図、(b)は、その電流駆動回路の出力段を中心とするブロック図である。

【図4】図4は、図1の実施例の具体的な回路構成例である。

【図5】図5は、従来のカラムドライバの一例の説明図である。

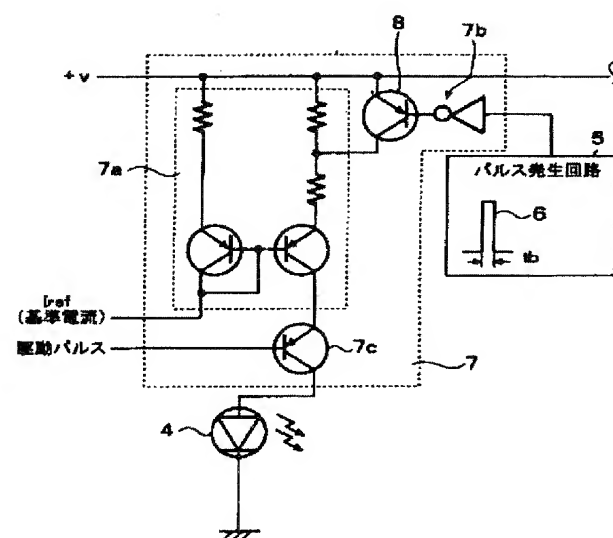
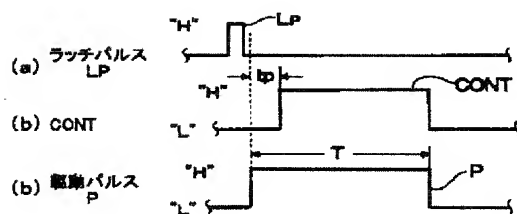
【図6】図6は、この発明の先行技術の有機EL駆動回路のD/A変換回路の一例の説明図である。

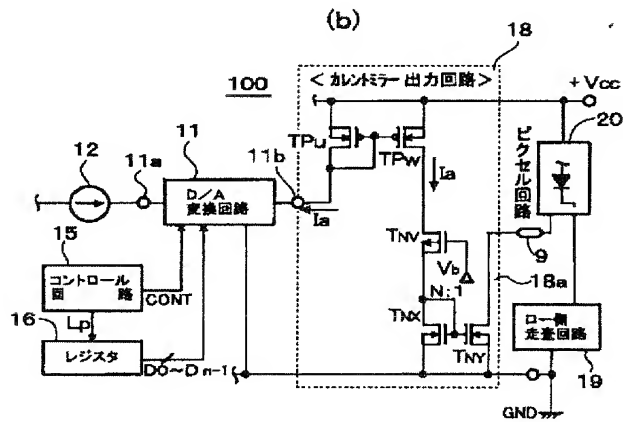
#### 【符号の説明】

1、10…カラムドライバ、2…D/A変換回路、2a…入力端子、2b…出力端子、3、12…カレントミラー電流出力回路、3a…ドライブ段カレントミラー回路、3b…出力段カレントミラー回路、4…有機EL素子、5…パルス発生回路、6…駆動パルス、7…駆動回路、7a…定電流源、7b…初期充電回路、7c…スイ

\* レジスタ、１７…駆動回路、１８…電流駆動回路、１８  
 a、２２…カレントミラー回路、１９…ローライン走査  
 回路、２０…表示セル、Ｑ１～Ｑ<sub>m</sub>、Ｑ<sub>a</sub>～Ｑ<sub>n-1</sub>、Ｔ<sub>Pa</sub>～  
 Ｔ<sub>Pn-1</sub>、Ｔ<sub>Na</sub>～Ｔ<sub>Nn-1</sub>…トランジスタ。

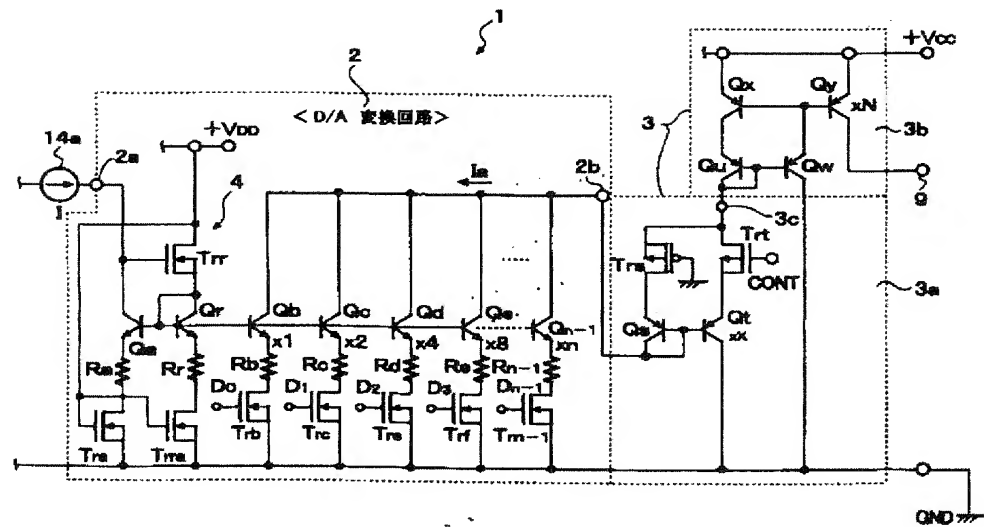
【図 5】





The schematic diagram illustrates the proposed 8T1R1C1 architecture. It features a main array of transistors and resistors. The top row consists of PMOS transistors labeled \$TN\_{e2}\$ through \$TN\_{e7}\$. Below them are NMOS transistors labeled \$TN\_{e1}\$ through \$TN\_{e6}\$. A series of resistors \$R\_a\$ through \$R\_g\$ are connected between the gates of the bottom NMOS transistors (\$TN\_{e1}\$-\$TN\_{e6}\$) and ground. To the right, there is a column of PMOS transistors \$TP\_{w2}\$ through \$TP\_{w7}\$ and NMOS transistors \$TN\_{w1}\$ through \$TN\_{w6}\$. These are connected to a vertical bus line labeled \$+V\_{oc}\$. Input signals \$I\_p\$ and \$I\_a\$ are shown entering the circuit from the left. The output node is labeled \$11b\$. Various other nodes and connections are indicated by dots and lines throughout the circuit.

【図6】



フロントページの続き

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テームト(参考)
G 0 9 G 3/20	6 2 4	G 0 9 G 3/20	6 2 3 R
	6 4 1		6 2 4 B
H 0 5 B 33/14		H 0 5 B 33/14	6 4 1 D
			A

F ターム(参考) 3K007 AB18 BA06 DB03 GA04  
 5C080 AA06 BB05 DD22 DD26 EE28  
 FF11 JJ02 JJ03 JJ04